

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-175077

(P2000-175077A)

(43)公開日 平成12年6月23日(2000.6.23)

(51)Int.Cl.⁷

識別記号

F I

テマコード(参考)

H 0 4 N 5/21

H 0 4 N 5/21

B 5 C 0 2 1

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21)出願番号

特願平10-344622

(22)出願日

平成10年12月3日(1998.12.3)

(71)出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人

000221029

東芝エー・ブイ・イー株式会社

東京都港区新橋3丁目3番9号

(72)発明者

石井 聡之

埼玉県深谷市幡羅町1丁目9番2号 株式
会社東芝深谷工場内

(74)代理人

100076233

弁理士 伊藤 進

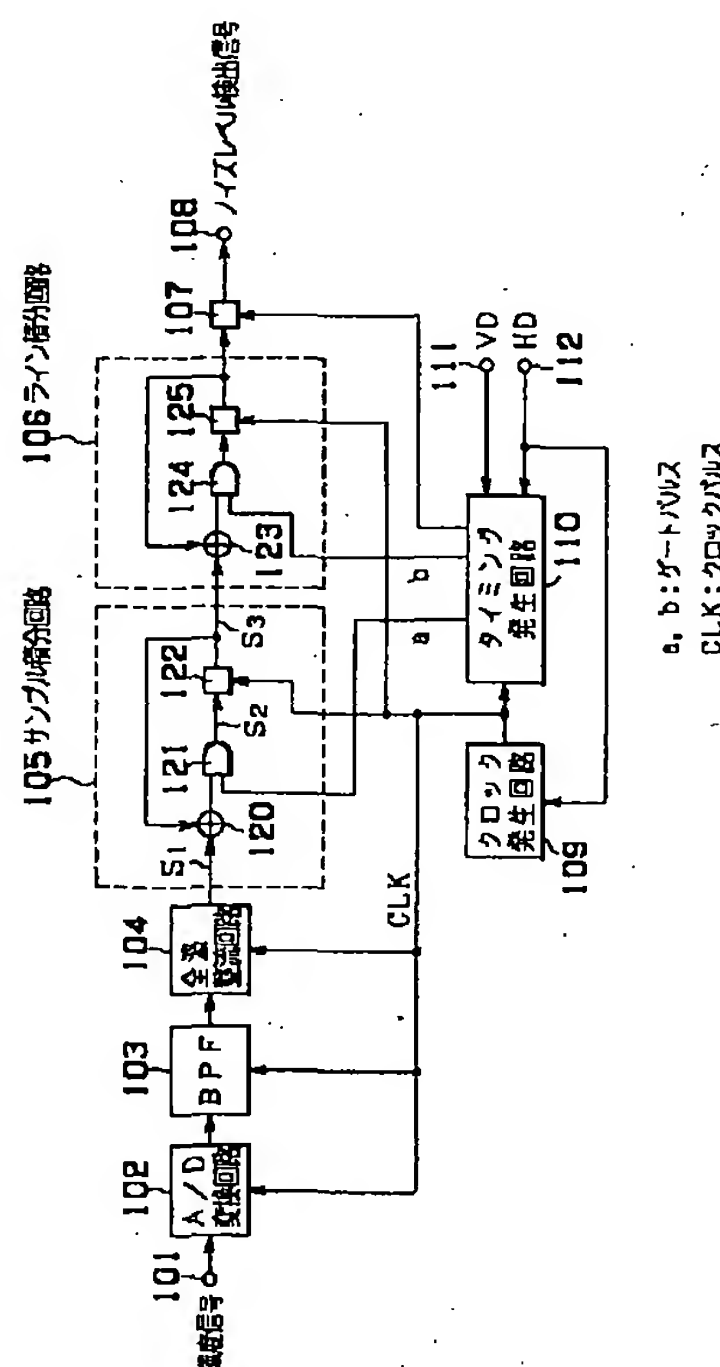
最終頁に続く

(54)【発明の名称】 ノイズレベル検出回路

(57)【要約】

【課題】コピーガード信号が重畳した映像信号や、デジタル処理された映像信号に対しても安定した確度の高いノイズ検出を行うことができるノイズレベル検出回路を提供すること。

【解決手段】入力輝度信号のAC成分をBPF103で抽出し全波整流回路104で整流して絶対値に変換したものを、サンプル積分回路105に供給し、水平ブランキング期間のバックポーチの所定期間でサンプル積分し、さらにライン積分回路106で所定の走査線期間だけライン積分し、積分結果をノイズレベル検出信号とすることにより、コピーガード信号が重畳した映像信号に対しても安定した確度の高いノイズ検出を行うことができる。入力輝度信号をA/D変換回路102を通してデジタル化した後、上記BPF103以降の処理を行えば、デジタル処理された映像信号に対しても安定した確度の高いノイズ検出を行うことができる。



【特許請求の範囲】

【請求項1】輝度信号のAC成分を抽出して該AC成分を整流する回路と、

整流後の信号を水平ブランキング期間のバックポーチの所定期間でサンプル積分するサンプル積分回路と、

サンプル積分後の信号を所定の走査線期間積分するライン積分回路と、

前記ライン積分回路の積分信号を保持する回路とを具備したことを特徴とするノイズレベル検出回路。

【請求項2】輝度信号のAC成分を抽出して該AC成分を整流する回路と、

整流後の信号を水平ブランキング期間のバックポーチの所定期間でサンプル積分するサンプル積分回路と、

サンプル積分後の信号を所定の走査線期間積分するライン積分回路と、

ライン積分後の信号を所定のフィールド期間積分するフィールド積分回路と、

前記フィールド積分回路の積分信号を保持する回路とを具備したことを特徴とするノイズレベル検出回路。

【請求項3】前記ライン積分回路は、垂直ブランキング期間を除く映像走査期間において積分動作を行うことを特徴とする請求項1又は2記載のノイズレベル検出回路。

【請求項4】前記のAC成分抽出及び整流を行う回路の前段に、アナログ輝度信号をデジタル輝度信号に変換するA/D変換回路をさらに具備し、デジタル輝度信号でノイズレベル検出動作を行うことを特徴とする請求項1～3記載のいずれか1つに記載のノイズレベル検出回路。

【請求項5】輝度信号のAC成分を抽出して該AC成分を整流する回路と、

水平ブランキング期間のバックポーチの所定期間にノイズレベル検出用のゲートパルスが発生させる手段と、

前記のAC成分整流後の信号を前記ゲートパルスの期間でサンプル積分するサンプル積分回路と、

前記ゲートパルスを異なる任意の位置に制御するゲートパルス制御手段とを具備したことを特徴とするノイズレベル検出回路。

【請求項6】前記ゲートパルス制御手段は、前記サンプル積分回路によるノイズ検出値が最も小さくなるようゲートパルス位置を制御することを特徴とする請求項5記載のノイズレベル検出回路。

【請求項7】入力した輝度信号に対して、ノイズレベル検出用ゲートパルスの最適位置を自動的に判定するノイズレベル検出回路であって、

入力輝度信号をバンドパスフィルタで帯域制限した後、前記フィルタ出力を絶対値変換し、一定レベル内に制限を与える回路と、

入力した水平および垂直同期信号をもとに、複数のノイズ積分回路を制御する検出制御回路と、

前記輝度信号の水平ブランキング期間のバックポーチの所定期間で、前記検出制御回路からの制御信号をもとに最終的に得られるノイズレベル検出用ゲートパルスによりN(Nは自然数)画素積分するサンプル積分回路と、

前記サンプル積分回路の出力を、前記検出制御回路からの制御信号によりM(Mは自然数)ライン積分するライン積分回路と、

前記ライン積分回路の出力を、前記検出制御回路からの制御信号によりL(Lは自然数)フィールド積分するフィールド積分回路と、

マイコンからの指示を受けて、ノイズレベル検出用ゲートパルスが輝度信号に対して最適な位置であることを判定するための各種制御信号を発生する判定制御回路と、前記判定制御回路から出力された信号に基づき、前記サンプル積分回路に用いるノイズレベル検出用ゲートパルスの位置を可変する遅延選択回路と、

前記ノイズレベル検出用ゲートパルスを、前記遅延選択回路で異なる各位置に任意のn回(n:自然数)設定し、各々の状態におけるサンプル・ラインの積分結果をもとに、最適ノイズレベル検出ゲート位置を判定する最適位置判定回路とを具備し、

前記最適位置判定回路からの判定結果をもとに、前記遅延選択回路を制御し、ノイズレベル検出ゲートを最適位置に保持した状態で、安定したノイズレベル検出を可能とすることを特徴とするノイズレベル検出回路。

【請求項8】前記遅延選択回路で前記ゲートパルス位置をn(n:自然数)回変化させて判定を行なう場合、中心付近m(m:自然数)回の判定の中で最適ノイズレベル検出ゲート位置となるようにオフセット値を与える回路をさらに設け、

外乱によらずノイズレベル検出ゲートの最適位置を安定して検出可能とすることを特徴とする請求項7記載のノイズレベル検出回路。

【請求項9】入力した水平および垂直同期信号から、入力輝度信号が標準信号であるか、もしくはVTR特殊再生時のような非標準信号であるかを判定し、その判定結果が非標準から標準に変化した場合に、再度ノイズ検出ゲートの最適位置を判定し直すための制御信号を発生し、前記判定制御回路に供給する標準判定回路をさらに具備したことを特徴とする請求項7記載のノイズレベル検出回路。

【請求項10】前記フィールド積分回路で検出したノイズレベル検出結果の値が大きく変化した場合に、再度ノイズ検出ゲートの最適位置を判定し直すための制御信号を発生し、前記判定制御回路に供給する回路をさらに具備したことを特徴とする請求項7記載のノイズレベル検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、映像信号のノイズ

成分を検出するノイズレベル検出回路に関する。

【0002】

【従来の技術】従来のノイズ検出回路は、特開平4-81076号公報に記載されているように例えばノイズ抑圧回路を制御する目的で入力映像信号のノイズを検出する。即ち、入力輝度信号の高域成分を高域ろ波回路で抜き出し、これを全波整流回路で全波整流し映像高域成分の量を検出する。この検出した信号の垂直同期信号期間の平均値をサンプル・ホールド回路で検出し、有効映像信号期間の間その検出電圧をホールドすることでこの電圧の大きさが大きいときはノイズが多いこととなり、この場合、ノイズ抑圧回路をオンしてその電圧に応じて入力映像輝度信号を弱めることで自動的に映像信号のノイズを抑圧する。このように、入力映像信号のノイズ検出位置は、垂直帰線消去期間（以下垂直ブランキング期間）内の所定期間であった。

【0003】近年、コピーガード信号が重畳された映像信号を出力する映像機器がある。例えばデジタルビデオディスク（DVD）や、コピーガード信号が記録重畳された家庭用VTRソフトなどの、記録再生用機器である。このコピーガード信号は、家庭用VTRで正常に記録できないようにするためのもので、このようなコピーガード方式の中に、垂直ブランキング期間に白ピークとなる映像信号を重畳するものがある。このような信号が垂直ブランキング期間に重畳されていると、従来のノイズ検出回路ではコピーガード信号をノイズ成分と誤って検出してしまう可能性がある。

【0004】一般的には、TV映像信号の垂直ブランキング期間には文字多重信号などが重畳されているが、さらにコピーガード信号が重畳されることになる。また、家庭用VTRでは垂直同期期間にヘッドの切換えノイズが発生する。このように垂直ブランキング期間でノイズ検出を行うことは、誤検出する恐れがある。

【0005】近年のTV受像機では、例えばラインコムフィルタや3次元Y/C分離回路などデジタル処理回路が導入されている。ノイズ検出を水平ブランキング期間のバックポーチ以外の例えば水平同期信号部分で行おうとすると、水平同期信号の先端（シンク・チップ）に重畳するノイズ振幅を含めて量子化することが必要となる。このようにすると、本来映像走査期間でないレンジまで入力レンジに含めなければならず、A/D変換回路における量子化の際の映像信号のS/Nを劣化させることとなる。

【0006】

【発明が解決しようとする課題】上記の如く、従来のノイズ検出回路では、垂直ブランキング期間に重畳されているコピーガード信号によってノイズ検出回路が誤判定する恐れがある。また、ノイズ検出を水平同期信号部分で行おうとすると、デジタル処理する際に必要とされるA/D変換回路の入力レンジを必要以上に広げなければ

ならず映像信号のS/Nを劣化させる恐れがあった。

【0007】そこで、本発明は上記の問題に鑑み、コピーガード信号が重畳した映像信号や、デジタル処理された映像信号に対しても安定した確度の高いノイズ検出を行うことができるノイズレベル検出回路を提供することを目的とするものである。

【0008】

【課題を解決するための手段】請求項1記載の発明によるノイズレベル検出回路は、輝度信号のAC成分を抽出して該AC成分を整流する回路と、整流後の信号を水平ブランキング期間のバックポーチの所定期間でサンプル積分するサンプル積分回路と、サンプル積分後の信号を所定の走査線期間積分するライン積分回路と、前記ライン積分回路の積分信号を保持する回路とを具備したものである。

【0009】請求項2記載の発明によるノイズレベル検出回路は、輝度信号のAC成分を抽出して該AC成分を整流する回路と、整流後の信号を水平ブランキング期間のバックポーチの所定期間でサンプル積分するサンプル積分回路と、サンプル積分後の信号を所定の走査線期間積分するライン積分回路と、ライン積分後の信号を所定のフィールド期間積分するフィールド積分回路と、前記フィールド積分回路の積分信号を保持する回路とを具備したものである。

【0010】請求項1、2の発明によれば、輝度信号のAC成分を抽出して整流し、水平ブランキング期間のバックポーチの所定期間でサンプル積分し、さらに所定の走査線期間（映像期間）だけライン積分するので、従来のようにノイズ検出位置を垂直ブランキング期間に設定する場合に比べて、コピーガード信号が重畳した映像信号やデジタル処理された映像信号に対しても安定した確度の高いノイズ検出を行うことができる。

【0011】請求項3記載の発明は、請求項1又は2記載のノイズレベル検出回路において、前記ライン積分回路は、垂直ブランキング期間を除く映像走査期間において積分動作を行うことを特徴とする。

【0012】請求項3の発明によれば、垂直ブランキング期間に比べ、ノイズの影響が直接的に画面上に出やすい映像走査期間においてライン積分を行い、ノイズレベル検出信号を得るようにした。従って、実際の視覚的なノイズに対応したノイズ検出結果を得ることが可能となる。

【0013】請求項4記載の発明は、請求項1～3記載のいずれか1つに記載のノイズレベル検出回路において、前記のAC成分抽出及び整流を行う回路の前段に、アナログ輝度信号をデジタル輝度信号に変換するA/D変換回路をさらに具備し、デジタル輝度信号でノイズレベル検出動作を行うことを特徴とする。

【0014】請求項4の発明によれば、アナログ輝度信号をデジタル信号に変換した後、AC成分を整流し水平

ブランキング期間のバックポーチの所定期間でサンプル積分し、さらに所定の映像期間だけライン積分するので、ノイズ検出を水平同期信号部分で行う場合に比べ、デジタル処理する際に必要とされるA/D変換回路の入力レンジを必要以上に広げる必要がなく映像信号のS/Nを劣化させる恐れが少ない。

【0015】請求項5記載の発明によるノイズレベル検出回路は、輝度信号のAC成分を抽出して該AC成分を整流する回路と、水平ブランキング期間のバックポーチの所定期間にノイズレベル検出用のゲートパルスを発生させる手段と、前記のAC成分整流後の信号を前記ゲートパルスの期間でサンプル積分するサンプル積分回路と、前記ゲートパルスを異なる任意の位置に制御するゲートパルス制御手段とを具備したものである。

【0016】請求項6記載の発明は、請求項5記載のノイズレベル検出回路において、前記ゲートパルス制御手段は、前記サンプル積分回路によるノイズ検出値が最も小さくなるようゲートパルス位置を制御することを特徴とする。

【0017】請求項5, 6の発明によれば、サンプル積分回路によるノイズ検出値が最も小さくなるようバックポーチ期間におけるノイズレベル検出ゲート位置を設定することで、ノイズ成分の検出精度を向上させることができる。

【0018】請求項7記載の発明によるノイズレベル検出回路は、入力した輝度信号に対して、ノイズレベル検出用ゲートパルスの最適位置を自動的に判定するノイズレベル検出回路であって、入力輝度信号をバンドパスフィルタで帯域制限した後、前記フィルタ出力を絶対値変換し、一定レベル内に制限を与える回路と、入力した水平および垂直同期信号をもとに、複数のノイズ積分回路を制御する検出制御回路と、前記輝度信号の水平ブランキング期間のバックポーチの所定期間で、前記検出制御回路からの制御信号をもとに最終的に得られるノイズレベル検出用ゲートパルスによりN(Nは自然数)画素積分するサンプル積分回路と、前記サンプル積分回路の出力を、前記検出制御回路からの制御信号によりM(Mは自然数)ライン積分するライン積分回路と、前記ライン積分回路の出力を、前記検出制御回路からの制御信号によりL(Lは自然数)フィールド積分するフィールド積分回路と、マイコンからの指示を受けて、ノイズレベル検出用ゲートパルスが輝度信号に対して最適な位置であることを判定するための各種制御信号を発生する判定制御回路と、前記判定制御回路から出力された信号に基づき、前記サンプル積分回路に用いるノイズレベル検出用ゲートパルスの位置を可変する遅延選択回路と、前記ノイズレベル検出用ゲートパルスを、前記遅延選択回路で異なる各位置に任意のn回(n:自然数)設定し、各々の状態におけるサンプル・ラインの積分結果をもとに、最適ノイズレベル検出ゲート位置を判定する最適位置判

定回路とを具備し、前記最適位置判定回路からの判定結果をもとに、前記遅延選択回路を制御し、ノイズレベル検出ゲートを最適位置に保持した状態で、安定したノイズレベル検出を可能とすること特徴とする。

【0019】請求項7の発明によれば、水平ブランキング期間のバックポーチ期間にノイズレベル検出用ゲートパルスを設定する際に、ノイズレベル検出用ゲートパルスを異なる各位置に任意のn回(n:自然数)設定し、各々の状態におけるサンプル・ラインの積分結果をもとに、最適ノイズレベル検出ゲート位置を判定する最適位置判定回路が設けられているので、最適位置判定回路からの判定結果をもとに、遅延選択回路を制御し、ノイズレベル検出ゲートを最適位置に保持して、安定したノイズレベル検出を行うことが可能となる。

【0020】請求項8記載の発明は、請求項7記載のノイズレベル検出回路において、前記遅延選択回路で前記ゲートパルス位置をn(n:自然数)回変化させて判定を行なう場合、中心付近m(m:自然数)回の判定の中で最適ノイズレベル検出ゲート位置となるようにオフセット値を与える回路をさらに設け、外乱によらずノイズレベル検出ゲートの最適位置を安定して検出可能とすることを特徴とする。

【0021】請求項8の発明によれば、ノイズレベル検出ゲートの最適位置を判定している最中に偶然のノイズによって、誤った検出位置を最適と判定しにくくするために、本来安定して最適位置と判定される範囲の位置にオフセット期間(識別期間)を設けて、本来安定している期間を最適位置と判定し易くする(判定確率を高める)ものである。

【0022】請求項9記載の発明は、請求項7記載のノイズレベル検出回路において、入力した水平および垂直同期信号から、入力輝度信号が標準信号であるか、もしくはVTR特殊再生時のような非標準信号であるかを判定し、その判定結果が非標準から標準に変化した場合に、再度ノイズ検出ゲートの最適位置を判定し直すための制御信号を発生し、前記判定制御回路に供給する標準判定回路をさらに具備したことを特徴とする。

【0023】請求項9の発明によれば、入力信号の同期信号より、標準/非標準信号を判定して、非標準から標準に判定が変化したときに、再度、上記ノイズレベル検出ゲートの最適位置を判定する。これにより、安定した信号の標準状態でノイズレベル検出ゲートの位置を判定することが可能となる。

【0024】請求項10記載の発明は、請求項7記載のノイズレベル検出回路において、前記フィールド積分回路で検出したノイズレベル検出結果の値が大きく変化した場合に、再度ノイズ検出ゲートの最適位置を判定し直すための制御信号を発生し、前記判定制御回路に供給する回路をさらに具備したことを特徴とする。

【0025】請求項10の発明によれば、ノイズレベル

検出結果の値が大きく変化したときに、再度、上記ノイズレベル検出ゲートの最適位置を判定する。これにより、請求項9と同様、安定した信号の標準状態でノイズレベル検出ゲートの位置を判定することが可能となる。

【0026】

【発明の実施の形態】発明の実施の形態について図面を参照して説明する。図1は本発明の第1の実施の形態のノイズレベル検出回路を示すブロック図である。

【0027】図1において、ノイズレベル検出回路は、アナログ輝度信号を入力するための入力端子101と、アナログ輝度信号をデジタル輝度信号に変換するためのA/D変換回路102と、デジタル輝度信号のAC成分を抽出するための帯域通過フィルタ(BPF)103と、AC成分を全波整流して絶対値に変換する(AC成分における負極成分を正極成分に変換することによりAC成分全体を絶対値のみで表現する)ための全波整流回路104と、整流後の信号を水平ブランキング期間のバックポーチの所定期間でサンプル積分するためのサンプル積分回路105と、サンプル積分後の信号を所定の走査線期間積分するためのライン積分回路106と、ライン積分結果を保持するための保持回路107と、この保持信号をノイズレベル検出信号として出力する出力端子108と、水平同期信号(HD)に基づいてサンプリング等に使用するクロックパルスを発生するクロック発生回路109と、垂直同期信号(VD)、水平同期信号(HD)及び前記クロックパルスに基づいてサンプル積分回路105及びライン積分回路106それぞれの積分期間を決めるゲートパルスなどのタイミング信号を発生するタイミング発生回路110と、入力輝度信号の垂直同期信号(VD)、水平同期信号(HD)をそれぞれ入力するための入力端子111、112とを備えて構成されている。

【0028】上記の構成において、入力端子101から入力した輝度信号はA/D変換回路102でデジタル信号に変換され、BPF103を介して全波整流回路104に入力される。BPF103は、デジタル輝度信号の視覚的に目立つ約2MHz付近以上の高域AC成分を抽出する。なお、アナログ輝度信号の水平ブランキング期間のバックポーチに含まれるカラーバースト信号は入力端子101よりも前段の処理で除かれているものとする。

【0029】全波整流回路104の出力信号はサンプル積分回路105で所定のサンプル期間積分される。ここで、所定のサンプル期間は、輝度信号の水平ブランキング期間のバックポーチにおける比較的安定した所定期間に設定される。

【0030】サンプル積分回路105は、加算器120と、タイミング発生回路110からのゲートパルスaが供給されるアンドゲート121と、クロック発生回路109からのA/D変換回路102で使用するサンプリン

グクロックと同じクロックが供給されて動作するDフリップフロップ122とから構成されている。

【0031】加算器120では、全波整流回路104の出力信号とフリップフロップ122の出力信号が加算される。アンドゲート121にはゲートパルスaが入力され、このゲートパルスaが'H'レベルの期間のみフリップフロップ122に加算器120の出力信号が導かれる。ゲートパルスaが'L'レベルのとき、アンドゲート121の出力信号は加算器120の出力信号に係わらず、'L'レベルとなるので、フリップフロップ122の出力信号も'L'レベルとなる。即ち、サンプル積分回路105は、ゲートパルスaが'H'レベルの期間のみ絶対値回路である全波整流回路104の出力信号を積分動作することになる。図2(a)、(b)にゲートパルスaのタイミングを示す。

【0032】サンプル積分回路105の出力信号はライン積分回路106に入力される。ライン積分回路106は、加算器123と、タイミング発生回路110からのゲートパルスbが供給されるアンドゲート124と、クロック発生回路109からのA/D変換回路102で使用するサンプリングクロックと同じクロックが供給されて動作するDフリップフロップ125とから構成されている。

【0033】加算器123では、サンプル積分回路105の出力信号とフリップフロップ125の出力信号が加算され、加算器123の出力信号はアンドゲート124を介してフリップフロップ125に入力する。即ち、ライン積分回路106は、サンプル積分回路105と同様にアンドゲートに入力するゲートパルスbが'H'レベルの期間のみサンプル積分回路105の出力信号を積分動作することになる。図3(a)、(b)にゲートパルスbのタイミングを示す。

【0034】家庭用ビデオテープレコーダ(VTR)ではスキューが垂直ブランキング期間で発生する場合があるので、スキューが引き込める余裕を取り、図3(b)に示すようなタイミングで発生することが好都合である。垂直ブランキング期間終了から50~60ライン後にゲートパルスbが立ち上がるタイミングとすれば充分である。

【0035】ライン積分回路106の積分出力は、タイミング発生回路110からのタイミング信号にて必要な期間だけフリップフロップ107で保持され、出力端子108からノイズレベル検出信号として出力される。

【0036】例えばサンプリングクロックCLKの周波数を水平同期周波数の910通倍とすれば、水平ブランキング期間のバックポーチにおける前記ゲートパルスaは、24サンプル分に相当し約1.7 μ sのパルス幅となる。つまり、パルス幅1.7 μ sのゲートパルスaを用いてバックポーチの所定期間に24サンプル分、サンプル積分することになる。

【0037】この24サンプル分積分した値を、ライン積分回路106で前記ゲートパルスbを用いて例えば128ライン分積分すれば1フィールド当たり3072サンプルとなり、これは水平走査期間3ライン分以上に相当するサンプル数となり、安定したノイズ検出が可能となる。

【0038】図4(a)は全波整流回路104の入力信号と出力信号を示している。BPF103を通過した後の全波整流前のサンプル信号は0レベルを中心に正極部分と負極部分が存在するが、その正負信号を全波整流回路104を通して全波整流した後のサンプル信号は負極部分の信号が正極側に折り返されて絶対値に変換されている。全波整流前後のサンプル信号で0, 3, 4, 5とあるのが各サンプルの絶対値を示している。実際には、A/D変換で量子化されるので、全波整流後の0, 3, 4, 5は3桁の2進数で、000, 011, 100, 101と表されるが、便宜上10進数0, 3, 4, 5の信号として説明する。

【0039】図4(b)はサンプル積分回路105の動作を説明する図である。サンプル積分回路105に入力S1として、図4(a)に示した全波整流後のサンプル信号(絶対値0, 3, 4, 5の信号)が順次入力した場合について説明している。サンプル積分回路105において、S1は全波整流回路104の出力信号(加算器102の一方の入力信号)を示し、S2はアンド(AND)ゲート121の出力信号を示し、S3はフリップフロップ122の出力信号(加算器102のもう一方の入力信号)を示している。サンプル積分回路105では、アンドゲート121へのゲートパルスaが'H'レベルの期間には、 $S1 + S3 = S2$ の関係となり、加算値S2は次段のフリップフロップ122に入力しかつ次のクロックパルスCLKの立ち上がりタイミングで信号S3として出力される。入力S1の順次入力サンプル信号(0, 3, 4, 5)に対し積分出力S3は最終的に $5 + 7 = 12$ となっている。アンドゲート121のゲートパルスaが'L'レベルとなった時は信号S2が0となり次のクロックパルスCLKの立ち上がりでその0がフリップフロップ122から信号S3として出力される。

【0040】図5は本発明の第2の実施の形態のノイズレベル検出回路のブロック図を示している。図1と異なる点は、ライン積分回路106の後段にフィールド積分回路202を設けていることである。

【0041】ライン積分回路106の積分出力は、フリップフロップ201で保持された後、フィールド積分回路202に入力される。

【0042】フィールド積分回路202は、加算器210と、タイミング発生回路205からのゲートパルスcが供給されるアンドゲート211と、クロック発生回路109からA/D変換回路102で使用するサンプリングクロックと同じクロックが供給されて動作するDフリ

ップフロップ212とで構成され、アンドゲート211へのゲートパルスcが'H'レベルの期間積分動作を行う。つまり、フィールド積分回路202は、ライン積分後の信号を入力しゲートパルスcにて規定される所定のフィールド期間積分して出力する。タイミング発生回路110は、図1のタイミング発生回路110と同様に水平、垂直同期信号(HD, VD)及びクロックパルスに基づいてゲートパルスa, bを発生すると共に、水平、垂直同期信号(HD, VD)及びクロックパルスに基づいてゲートパルスcを発生する。

【0043】フィールド積分回路202の積分出力は、タイミング発生回路110からのタイミング信号にて必要な期間だけフリップフロップ107で保持され、出力端子108からノイズレベル検出結果として出力される。

【0044】このような構成により、ノイズ成分を水平ブランキング期間のバックポーチ期間でサンプル積分したものを、所定数の走査線期間、ライン積分し、さらに所定数のフィールド分、フィールド積分した信号をノイズレベル検出結果として得ることができる。

【0045】図6は本発明の第3の実施の形態のノイズレベル検出回路のブロック図を示している。

【0046】図6において、ノイズレベル検出回路は、アナログ輝度信号を入力するための入力端子101と、アナログ輝度信号をデジタル輝度信号に変換するためのA/D変換回路102と、デジタル輝度信号のAC成分を抽出するためのBPF103と、AC成分を全波整流して絶対値に変換するための全波整流回路104と、サンプル積分後の信号を保持するための保持回路107と、保持信号をノイズレベル検出信号として出力する出力端子108と、入力した水平および垂直同期信号(HD, VD)をもとに、サンプル積分回路105を制御する検出制御回路512と、前記全波整流回路104からの整流後の信号を、水平ブランキング期間のバックポーチの所定期間で、前記検出制御回路からの制御信号をもとに最終的に得られるノイズレベル検出用ゲートパルスによりN(Nは自然数)画素分サンプル積分するためのサンプル積分回路105と、ノイズレベル検出用ゲートパルスが輝度信号に対して最適な位置であることを判定するための各種制御信号を発生する判定制御回路521と、前記判定制御回路521から出力された信号に基づき、前記サンプル積分回路105に用いるノイズレベル検出用ゲートパルスの遅延量を変化させてゲートパルス位置を可変する遅延選択回路522と、前記ノイズレベル検出用ゲートパルスを、前記遅延選択回路522で異なる各位置に任意のn回(n:自然数)設定し、各々の状態におけるサンプル積分の結果をもとに、積分結果が最小レベルとなるゲートパルスの位相を最適ノイズレベル検出ゲート位置と判定する最適位置判定回路523とを備えて構成され、前記最適位置判定回路523からの

最適位置判定結果をもとに、判定制御回路521でゲートパルスの遅延量を決定し、前記遅延選択回路522を制御して、ノイズレベル検出ゲートを最適位置に設定することで、安定したノイズレベル検出を可能としている。

【0047】上記の構成において、入力端子101から入力した輝度信号はA/D変換回路102でデジタル信号に変換され、BPF103を介して全波整流回路104に入力される。BPF103は、デジタル輝度信号の視覚的に目立つ約2MHz付近以上の高域AC成分を抽出する。なお、アナログ輝度信号の水平ブランキング期間のバックポーチに含まれるカラーバースト信号は入力端子101の前段の処理で除かれている。全波整流回路104の出力信号はノイズレベル検出を行なうためにサンプル積分回路105に供給され、ここで水平ブランキング期間のバックポーチにおける所定期間サンプル積分される。このサンプル積分の所定期間は、後述するノイズレベル検出ゲートの最適位置制御により、輝度信号の水平ブランキング期間のバックポーチにおいて波形的に安定でかつノイズレベルが最も小さくなる期間に設定される。

【0048】一方、ノイズレベル検出ゲートを最適位置に制御するための制御系については、入力輝度信号の水平同期信号(HD)と垂直同期信号(VD)をそれぞれ、入力端子112、111より入力し、検出制御回路512に与えている。検出制御回路512は、サンプル積分回路105にリセット信号などの制御信号を与え、また、遅延選択回路522にノイズレベル検出用ゲートパルスを与えている。

【0049】判定制御回路521は、遅延選択回路522に、検出制御回路512より出力したノイズレベル検出用ゲートパルスの遅延量を変化させるための制御信号を発生している。

【0050】最適位置判定回路523では、判定制御回路521によりn回前記ノイズレベル検出用ゲートパルスの位相を変化させたときの各積分結果を比較し、その積分値が最小レベルとなるノイズレベル検出用ゲートパルスの位相を最適位置と判断し、その最適位置nを判定制御回路521に戻している。

【0051】判定制御回路521では、前記最適位置判定回路523の判定結果に基づき、以後ノイズレベル検出用ゲートパルスの最適位置nを保持するような制御信号を遅延選択回路522に与えている。

【0052】そして、サンプル積分回路105の結果は保持回路107に出力され、検出制御回路512より与えられたノイズレベル保持制御信号によって、任意の一定期間保持され、出力端子108よりノイズレベル検出信号として出力している。以上により、入力輝度信号の水平ブランキング期間内のバックポーチが、入力信号(電波によるテレビジョン信号、VTR信号、DVD信

号、ゲーム機信号)の状態によって変化しても(図8の輝度信号波形におけるバックポーチのエッジ部分参照)、ノイズレベル検出ゲートを最適位置に設定して安定してノイズレベル検出を行うことができる。

【0053】図7は本発明の第4の実施の形態のノイズレベル検出回路のブロック図を示している。

【0054】図7において、ノイズレベル検出回路は、アナログ輝度信号を入力するための入力端子101と、アナログ輝度信号をデジタル輝度信号に変換するためのA/D変換回路102と、デジタル輝度信号のAC成分を抽出するためのBPF103と、AC成分を全波整流して絶対値に変換するための全波整流回路104と、整流後の信号の上限レベルを制限するリミッタ回路603と、入力した水平および垂直同期信号(HD, VD)を基に、複数のノイズ積分回路106、202を制御する検出制御回路512と、前記輝度信号の水平ブランキング期間のバックポーチで、前記検出制御回路512からの制御信号をもとに最終的に得られるノイズレベル検出用ゲートパルスによりN(Nは自然数)画素積分するサンプル積分回路105と、前記サンプル積分回路105の出力を、前記検出制御回路512からの制御信号によりM(Mは自然数)ライン積分するライン積分回路106と、前記ライン積分回路106の出力を、前記検出制御回路512からの制御信号によりL(Lは自然数)フィールド積分するフィールド積分回路202と、フィールド積分後の信号を保持するための保持回路107と、保持信号をノイズレベル検出信号として出力する出力端子108と、マイコン620からの指示を受けて、ノイズレベル検出用ゲートパルスが輝度信号に対して最適な位置であることを判定するための各種制御信号を発生する判定制御回路521と、前記判定制御回路521から出力された信号に基づき、前記サンプル積分回路105に用いるノイズレベル検出用ゲートパルスの遅延量を変化させてゲートパルスの位置を可変する遅延選択回路522と、前記ノイズレベル検出ゲートを、前記遅延選択回路522で異なる各位置に任意のn回(n:自然数)設定し、各々の状態におけるサンプル・ライン積分の結果をもとに、積分結果が最小レベルとなるゲートパルスの位相を最適ノイズレベル検出ゲート位置と判定する最適位置判定回路523とを備えて構成され、前記最適位置判定回路523からの最適位置判定結果をもとに、判定制御回路521でゲートパルスの遅延量を決定し、前記遅延選択回路522を制御して、ノイズレベル検出ゲートを最適位置に設定することで、安定したノイズレベル検出を可能としている。

【0055】上記の構成において、入力端子101から入力した輝度信号はA/D変換回路102でデジタル信号に変換され、BPF103を介して全波整流回路104に入力される。BPF103では、輝度信号から視覚的に目立つ約2MHz付近以上の高域信号を抽出し、後

段の全波整流回路104に供給している。

【0056】全波整流回路104では、BPF103出力を絶対値に変換した後、リミッタ回路603に与えて上限レベルを制限し、後段のサンプル積分回路105に供給している。

【0057】一方、ノイズレベル検出ゲートを最適位置に制御するための制御系については、入力輝度信号の水平同期信号(HD)と垂直同期信号(VD)をそれぞれ、入力端子112、111より入力し、検出制御回路512に与えている。

【0058】検出制御回路512では、サンプル積分回路105、ライン積分回路106、フィールド積分回路202、及びノイズレベル保持回路107をそれぞれ制御するための、ノイズレベル検出用ゲートパルス、ライン積分制御信号、フィールド積分制御信号、およびノイズレベル保持制御信号などを発生している。

【0059】ここで、判定制御回路521がマイコン620よりノイズレベル判定の指示を受けると、判定制御回路521は遅延選択回路522に、検出制御回路512より出力したノイズレベル検出用ゲートパルスの遅延量を変化させるための制御信号を発生する。

【0060】遅延選択回路522では、前記判定制御回路521からの制御信号により出力するノイズレベル検出用ゲートパルスの位相を、入力輝度信号の水平ブランキング期間内のバックポーチに対して、 n (n :自然数)回遅延量を可変できるようになっている。そして、遅延選択回路522より出力されたノイズレベル検出用ゲートパルスにより、サンプル積分回路105では、輝度信号の水平ブランキング期間のバックポーチで、ゲートパルスに対応した任意の一定期間積分を行い、その結果をライン積分回路106に与えている。

【0061】ライン積分回路106では、検出制御回路512より与えられたライン積分制御信号によって所定のライン期間の積分を行い、その結果を最適位置判定回路523とフィールド積分回路202に与えている。最適位置判定回路523では、判定制御回路521により n 回前記ノイズレベル検出用ゲートパルスの位相を変化させたときの各積分結果を比較し、最小レベルとなるノイズレベル検出用ゲートパルスの位相を最適位置と判断し、その最適位置 n を判定制御回路521に戻している。

【0062】判定制御回路521では、前記最適位置判定回路523の判定結果に基づき、以後最適位置 n を保持するような制御信号を遅延選択回路522に与え、遅延選択回路522は最適なノイズレベル検出用ゲートパルスを発生させて、バックポーチにおけるサンプル積分を行い、さらにライン積分を行なった後その積分結果をフィールド積分回路202に与えている。

【0063】フィールド積分回路202では、検出制御回路512より与えられたフィールド積分制御信号によ

って、任意の所定のフィールド期間積分を行い、そのノイズ積分結果をノイズレベル保持回路107に与えている。

【0064】ノイズレベル保持回路203では、検出制御回路512より与えられたノイズレベル保持制御信号によって、任意の一定フィールド期間ごとに前記ノイズレベル保持信号の更新を行い、出力端子108よりノイズレベル検出信号として出力している。

【0065】以上により、入力輝度信号の水平ブランキング期間内のバックポーチが、入力信号(電波によるテレビジョン信号、VTR信号、DVD信号、ゲーム機信号)の状態によって変化しても(図8の輝度信号波形におけるバックポーチのエッジ部分参照)、ノイズレベル検出ゲートを最適位置に設定して安定してノイズレベル検出を行うことができる。

【0066】次に、図7のノイズレベル検出回路において、入力した輝度信号に対してノイズレベル検出を行なう際に、ノイズレベル検出用ゲートパルスの最適位置を判定する動作の他の実施の形態を、図8及び図9を参照して説明する。

【0067】図8は輝度信号の種類(電波によるテレビジョン信号、VTR信号、DVD信号、ゲーム機信号など)によって輝度信号のバックポーチの両端(エッジ)部分に波形変動が生じる状況(複数の実線にて示してある)や、バックポーチのほぼ中間に相当する本来安定した期間に外乱ノイズにある場合にも、バックポーチのほぼ中間に相当する本来安定した期間がノイズレベル検出ゲートの最適位置と判断される確率を高めるように、その本来安定した期間を他と識別するためのオフセット期間及び最適位置判定を行い易くするためのオフセット値(図では4hex、hexは16進の意)を与える手段を設けている。つまり、バックポーチ期間に、前記遅延選択回路522で前記ノイズレベル検出ゲート位置を n (n :自然数)回変化させて判定を行なう場合、中心付近 m (m :自然数)回の判定の中で最適ノイズレベル検出ゲート位置となるように、中心付近 m 回のゲート位置の範囲(オフセット期間)におけるライン積分値に所定のオフセット値を与える手段をさらに設ける。

【0068】そして、バックポーチ期間内において n 回ゲート位置を変えてノイズレベル検出を行った際に、各回ごとのサンプル・ライン積分結果より中心付近の m 回について前記オフセット値を減算する。これにより、バックポーチ期間の中心付近に外乱ノイズが生じた場合、その外乱ノイズによって中心付近の積分値が上昇するが、オフセット値により減算されて、最適位置判定用積分値が小さく算出されるため、ノイズレベル検出ゲート位置をバックポーチのほぼ安定した中心付近に設定することができる。なお、前記オフセット値を与える手段、及び前記オフセット値を減算する手段は、最適位置判定回路523内に設けられても良い。

【0069】図9は図8で示したノイズレベル検出ゲートの最適位置判定動作を説明するタイミング図である。

【0070】図9(a)のゲート位置制御信号は、判定制御回路521から出力される制御情報を示している。

【0071】図9(b)のライン積分結果は、前記各ゲート位置でのサンプル・ラインの積分結果を示している。

【0072】図9(c)のオフセット期間は、ノイズレベル検出用ゲートパルスが、入力輝度信号の水平ブランキング期間内のバックポーチに対して、リンギングなどの影響を受けにくい本来安定した期間に設けられている。つまり、バックポーチにおけるオフセット期間は、VTR信号など入力輝度信号の種類が異なると図8の複数の実線に示したように波形の立ち上がり部分で信号レベルが不安定であるため、これを避けるように安定した期間に設けられている。

【0073】図9(d)のオフセット値は、任意の固定値であり、最適位置判定時に突発的な要因により、前記バックポーチのエッジ部分で最適位置と判断することのないようにするため、オフセット値を設けている。

【0074】図9(e)の判定入力値は、前記図9(b)のサンプル・ライン積分結果より、図9(c)のオフセット期間における各オフセット値(図9(d))を減算した値である。

【0075】図9(f)の判定結果は、前記図9(e)の判定入力値の中で最小値(MIN)を判定した結果である。

【0076】以上により、バックポーチの本来安定した中間位置に外乱ノイズが生じた場合でも該中間位置でオフセット値を減算することにより、ノイズレベル検出ゲートの最適位置判定時に外乱の影響を受け難くし、ノイズレベル検出ゲートの最適位置を安定して検出可能にしている。

【0077】図10は本発明の第5の実施の形態のノイズレベル検出回路のブロック図を示している。

【0078】図10においては、図7の構成に、標準判定回路730をさらに設けたものである。その他の構成は、図7と同様である。標準判定回路730は、入力端子112、111より入力した水平および垂直同期信号(HD、VD)から、入力輝度信号が標準信号であるか若しくはVTR特殊再生(例えば巻戻し再生、早送り再生など)のような非標準信号であるかを判定し、その判定結果が非標準から標準に変化した場合に、前記判定制御回路521に、再度ノイズ検出ゲートの最適位置を判定し直すための制御信号を与えるためのものである。

【0079】具体的には、標準判定回路730は、入力輝度信号の垂直同期信号(VD)でクリアパルス生成する手段と、入力輝度信号の水平同期信号(HD)の数をカウントする内部カウンタと、カウント値を保持する保持手段と、保持したカウント値と予め用意された値とを比較するコンパレータとを備え、前記クリアパルスを内部カウンタのクリア端子に供給する構成としている。

内部カウンタをクリアパルスでクリアして水平同期信号(HD)数のカウントを開始し、次の垂直同期信号(VD)によるクリアパルスで内部カウンタをクリアすると同時にカウント値を保持手段に保持している。そして、前記保持した値と予め用意された値とをコンパレータで比較し、カウント値が262/263若しくは312/313のどちらか一方の組みが、交互にある所定のフィールド期間連続して検出されたときに標準と判定している。ここで、262/263は、テレビジョン方式がM方式の場合にカウント値262、263がフィールド毎に交互に出現することを表し、312/313は、テレビジョン方式がB、G、I方式などの場合にカウント値312、313がフィールド毎に交互に出現することを表している。そして、前記判定結果が非標準から標準状態に移行したときに、標準判定回路730は、判定制御回路521にノイズレベル検出ゲートの最適位置を再判定するための制御信号を出力する。

【0080】非標準状態から標準状態に移行する場合の例としては、テレビジョン電波によって例えば第1チャンネル(1CH)を受信している標準状態(262/263)からVTR再生信号に切り換える場合、VTR再生信号の標準状態(262/263)に切り換わるまでには、1CHの標準状態(262/263)から非標準状態(250/270)を経てVTR再生の標準状態(262/263)に切り換わる。また、VTRの巻戻し再生や早送り再生などの特殊再生状態は非標準状態であり、この特殊再生の非標準状態からVTR再生の標準状態(262/263)に移行する場合などである。

【0081】図10の構成により、図7の実施の形態と同様にノイズレベル検出ゲートの最適位置制御を行う際に、入力端子101の信号が上記VTR特殊再生時のような非標準状態にあっても、その後標準状態に移行して安定した信号の状態となったときに非標準→標準の変化を検出してノイズレベル検出ゲートの最適位置を再判定するので、安定した信号の状態で誤りなく最適位置を判定することができる。

【0082】なお、図10の実施の形態における標準判定回路730に代えて、前記フィールド積分回路202の積分結果に基づき保持回路107で検出したノイズレベル検出信号の値が大きく変化した場合に、前記判定制御回路521に、再度ノイズ検出ゲートの最適位置を判定し直すための制御信号を与えるための回路(図示せず)を設けた構成としても良い。

【0083】以上述べた本発明の実施の形態によれば、入力輝度信号から抽出したAC成分を整流して絶対値に変換し水平ブランキング期間のバックポーチの所定期間にサンプル積分するので、垂直ブランキング期間にコピーガード信号が重畳した映像信号や、入力レンジが制限されるデジタル処理された映像信号に対しても安定した確度の高いノイズ検出を行うことができる。

【0084】さらに、以下(1)～(3)の利点を有している。

【0085】(1). 入力信号の水平ブランキング期間内のバックポーチの状態に応じて、最適なノイズレベル検出ゲートの位置を自動的に判定することができ、安定したノイズレベル検出が可能である。

【0086】(2). ノイズレベル検出ゲートの最適位置判定時に、本来安定してノイズ検出ができる期間にオフセット値を与えるため、判定時に偶然の外乱による影響を受け難くしている。

【0087】(3). 入力信号が非標準から標準に切り換ったことを検知したとき、ノイズレベル検出ゲートの最適位置を再度判定することで、通常の映像機器内にあるマイコンでは入力状態を把握できないような信号、例えば外部入力端子からのVTR信号に対しても確度の高いノイズレベル検出が可能である。

【0088】尚、以上述べた実施の形態では、アナログ輝度信号を入力しこれをA/D変換してデジタル化した信号でノイズレベルを検出する構成を説明しているが、本発明はデジタル化した信号でノイズレベル検出を行う場合に限定されることなく、A/D変換回路を削除しアナログ輝度信号をA/D変換することなくアナログ信号のままでBPF以降の後段回路を通すことによってノイズレベル検出を行うことが可能である。

【0089】

【発明の効果】以上述べたように本発明によれば、コピーガード信号が重畳した映像信号や、デジタル処理された映像信号に対しても安定した確度の高いノイズ検出を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のノイズレベル検出回路のブロック図。

【図2】図1におけるゲートパルスaを説明する図。

【図3】図1におけるゲートパルスbを説明する図。

【図4】図1の動作を説明する説明図。

【図5】本発明の第2の実施の形態のノイズレベル検出回路のブロック図。

【図6】本発明の第3の実施の形態のノイズレベル検出回路のブロック図。

【図7】本発明の第4の実施の形態のノイズレベル検出回路のブロック図。

【図8】図7におけるノイズレベル検出ゲートの最適位置判定動作の他の実施の形態を説明する説明図。

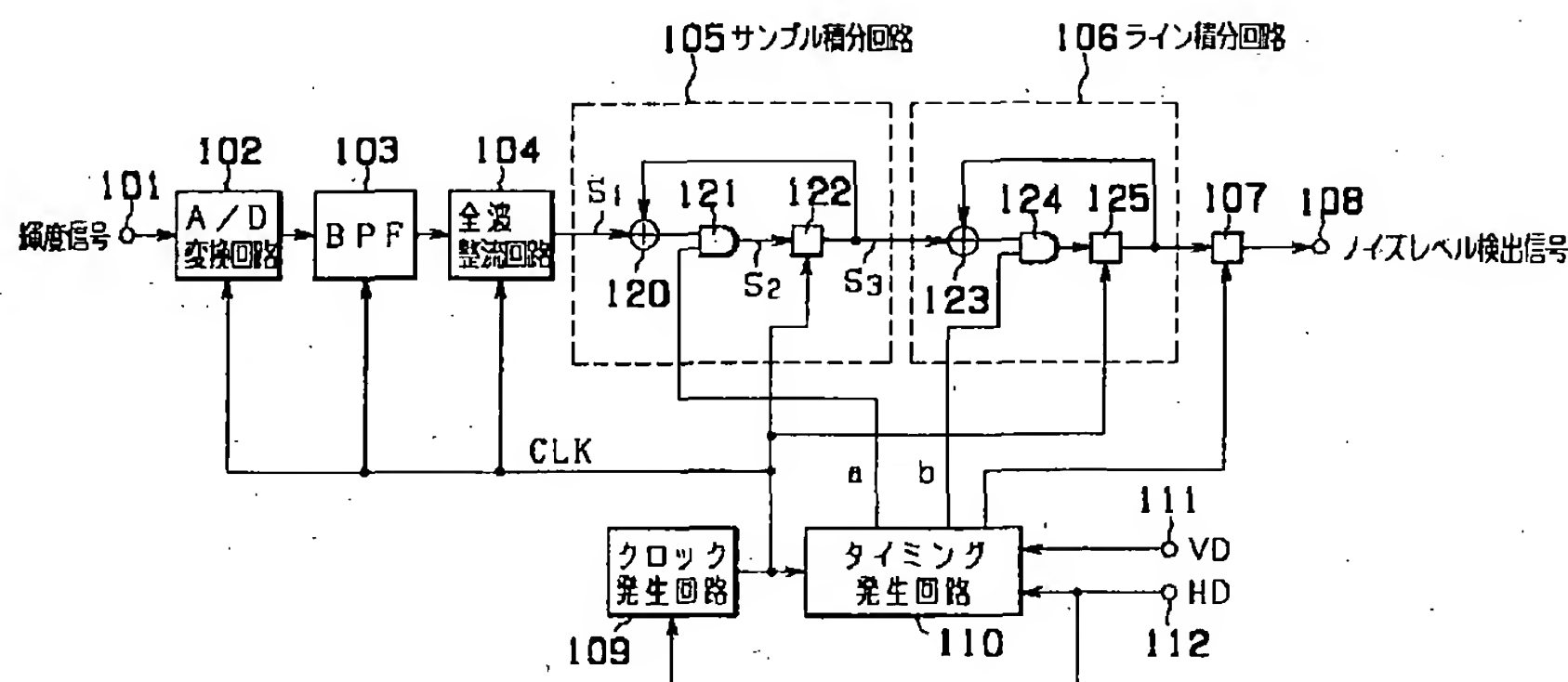
【図9】図8で示したノイズレベル検出ゲートの最適位置判定動作を説明するタイミング図。

【図10】本発明の第5の実施の形態のノイズレベル検出回路のブロック図。

【符号の説明】

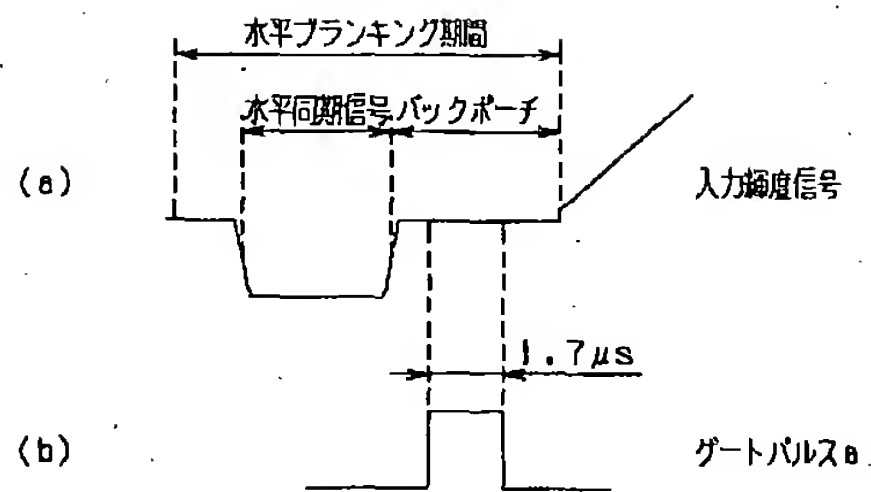
- 101…入力輝度信号
- 102…A/D変換回路
- 103…帯域通過フィルタ
- 104…全波整流回路（絶対値回路）
- 105…サンプル積分回路
- 106…ライン積分回路
- 107…保持回路
- 108…ノイズレベル検出信号出力端子
- 111…垂直同期信号
- 112…水平同期信号
- 202…フィールド積分回路
- 512…検出制御回路
- 521…判定制御回路
- 522…遅延選択回路
- 523…最適位置判定回路
- 620…マイコン
- 730…標準判定回路

【図1】

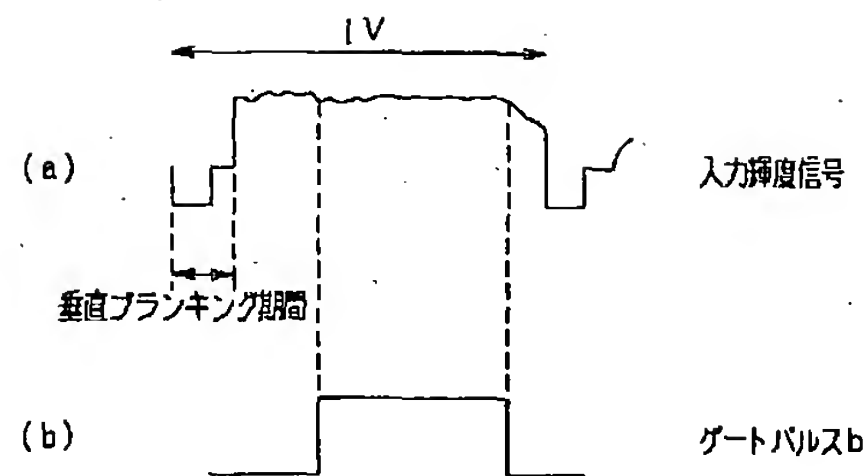


a, b: ゲートパルス
CLK: クロックパルス

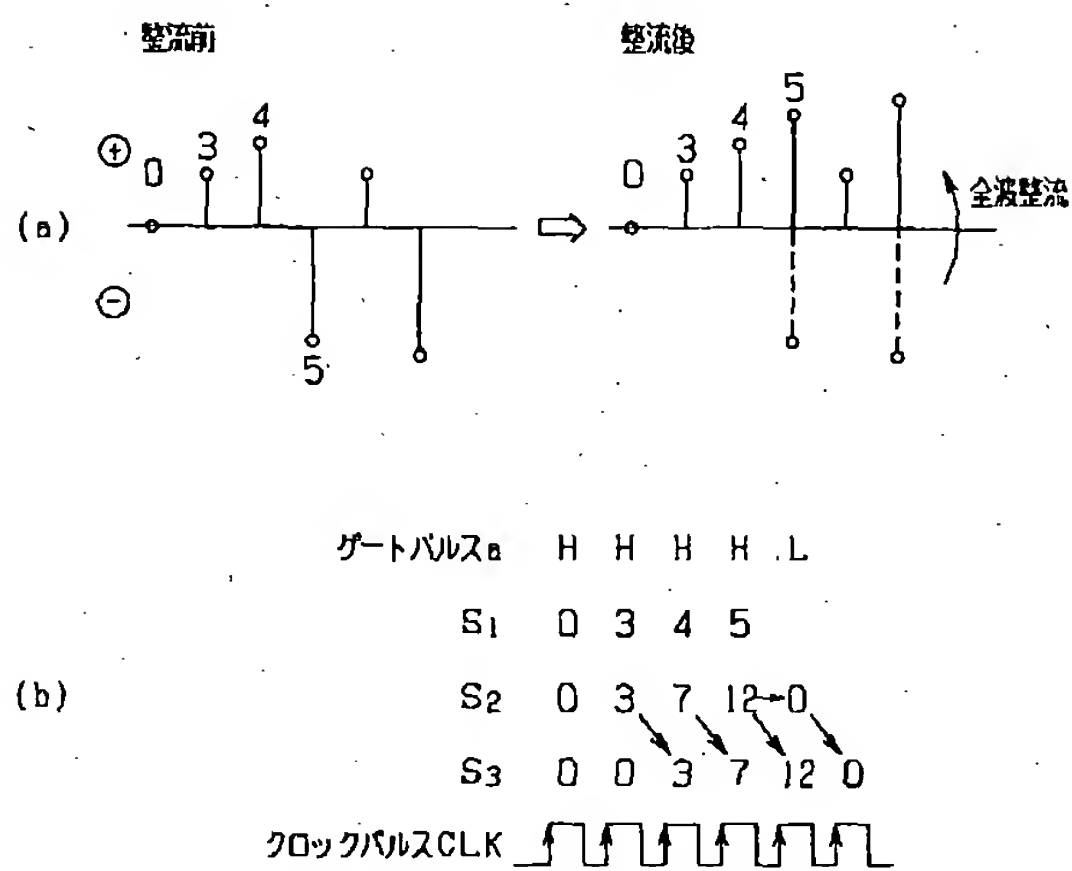
【図 2】



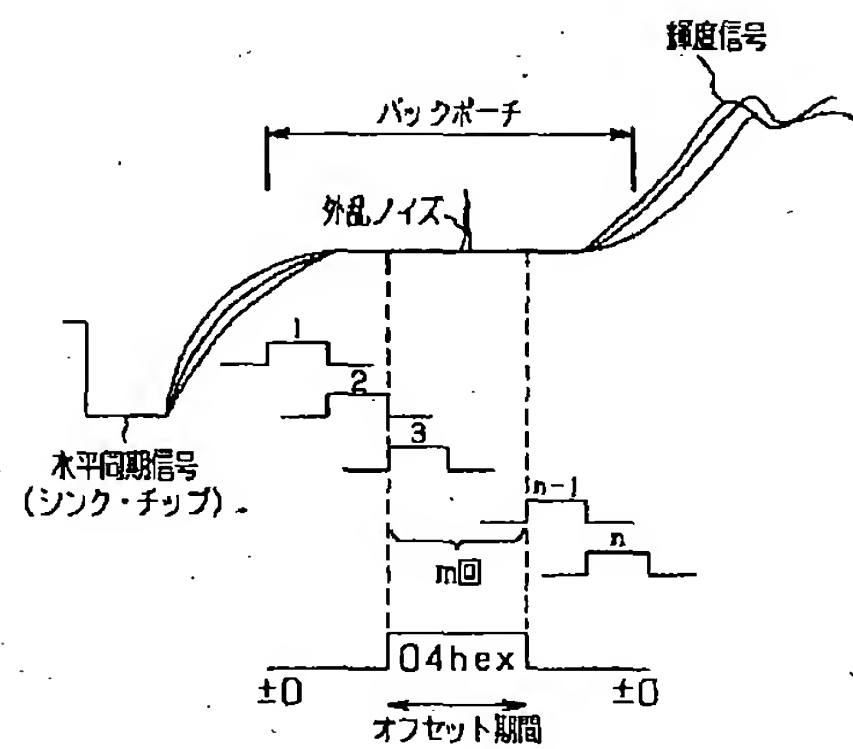
【図 3】



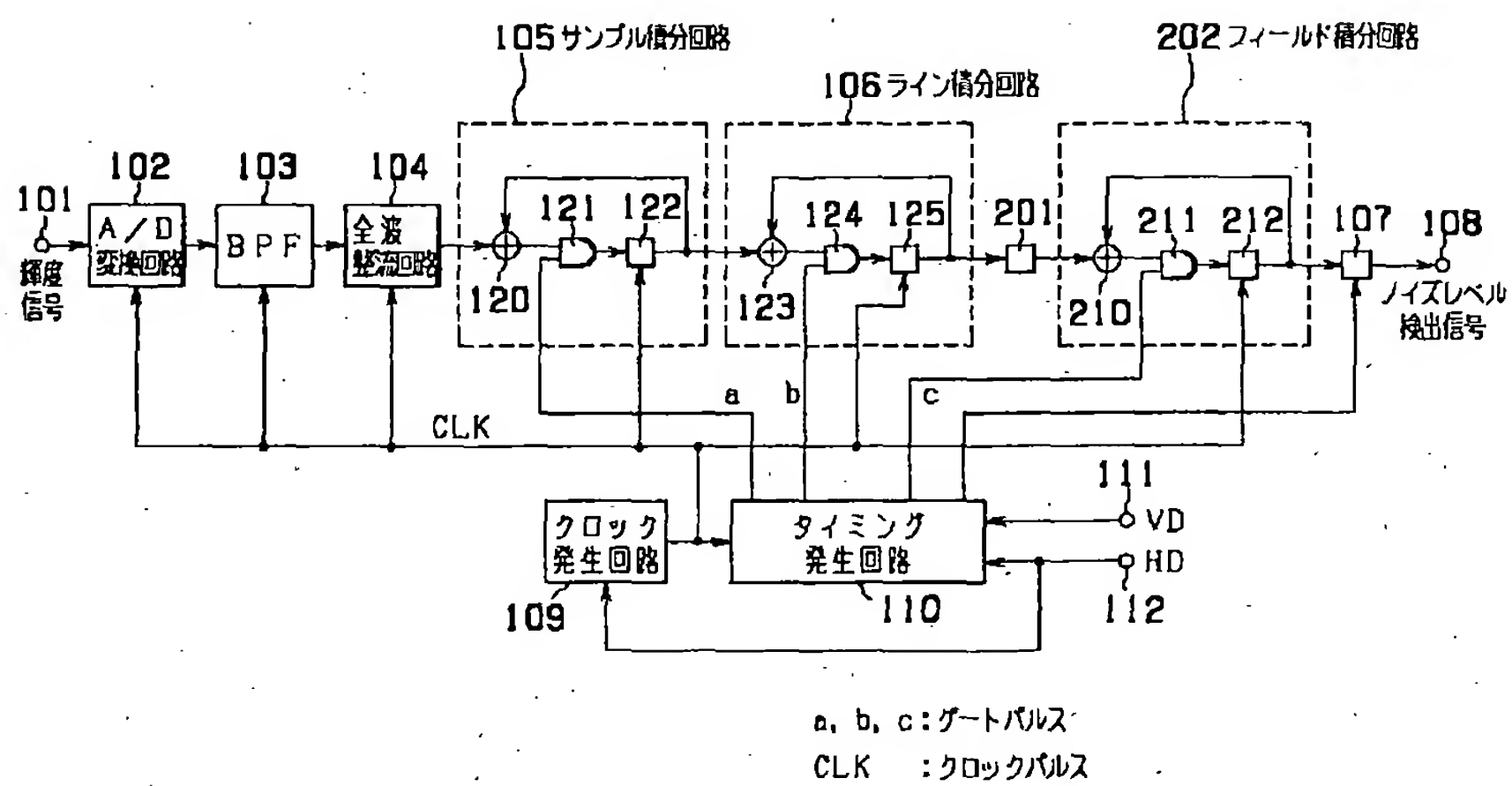
【図 4】



【図 8】



【図 5】




```

graph LR
    101((101 検度信号)) --> 102[102 A/D変換回路]
    102 --> 103[103 BPF]
    103 --> 104[104 全波整流回路]
    104 --> 603[603 リミッタ回路]
    603 --> 105[105 サンプル積分回路]
    112((112 HD)) --> 512[512 検出制御回路]
    111((111 VD)) --> 512
    512 -- "ノイズレベル検出用ゲートパルス" --> 105
    512 -- "ノイズレベル保持制御信号" --> 521
    521[521 判定制御回路] <--> 523[523 最適位置判定回路]
    523 -- "遅延量制御信号" --> 522
    522[522 遅延選択回路] --> 105
    105 --> 107[107 保持回路]
    107 -- "ノイズレベル検出信号" --> 108((108))
    107 --> 523
  
```

Figure 1 is a block diagram of a video signal processing system. The main signal path consists of the following blocks: 101 (Video signal input), 102 (A/D conversion circuit), 103 (BPF), 104 (Full-wave rectification circuit), 603 (Limiting circuit), 105 (Sample integration circuit (N frames)), 106 (Line integration circuit (M lines)), and 202 (Field integration circuit (1 field)). Control signals include 112 (HD), 111 (VD), and 108 (Noise level output signal). Control logic includes 512 (Detection control circuit), 522 (Delay selection circuit), 521 (Judgment control circuit), and 523 (Optimal position judgment circuit). Signal lines include 'Noise level detection gate pulse', 'Line integration control signal', 'Field integration control signal', 'Delay control signal', and 'Noise level holding control signal'.

(a) ゲート位置制御信号 (n)

(b) ライン積分結果 (8bit)

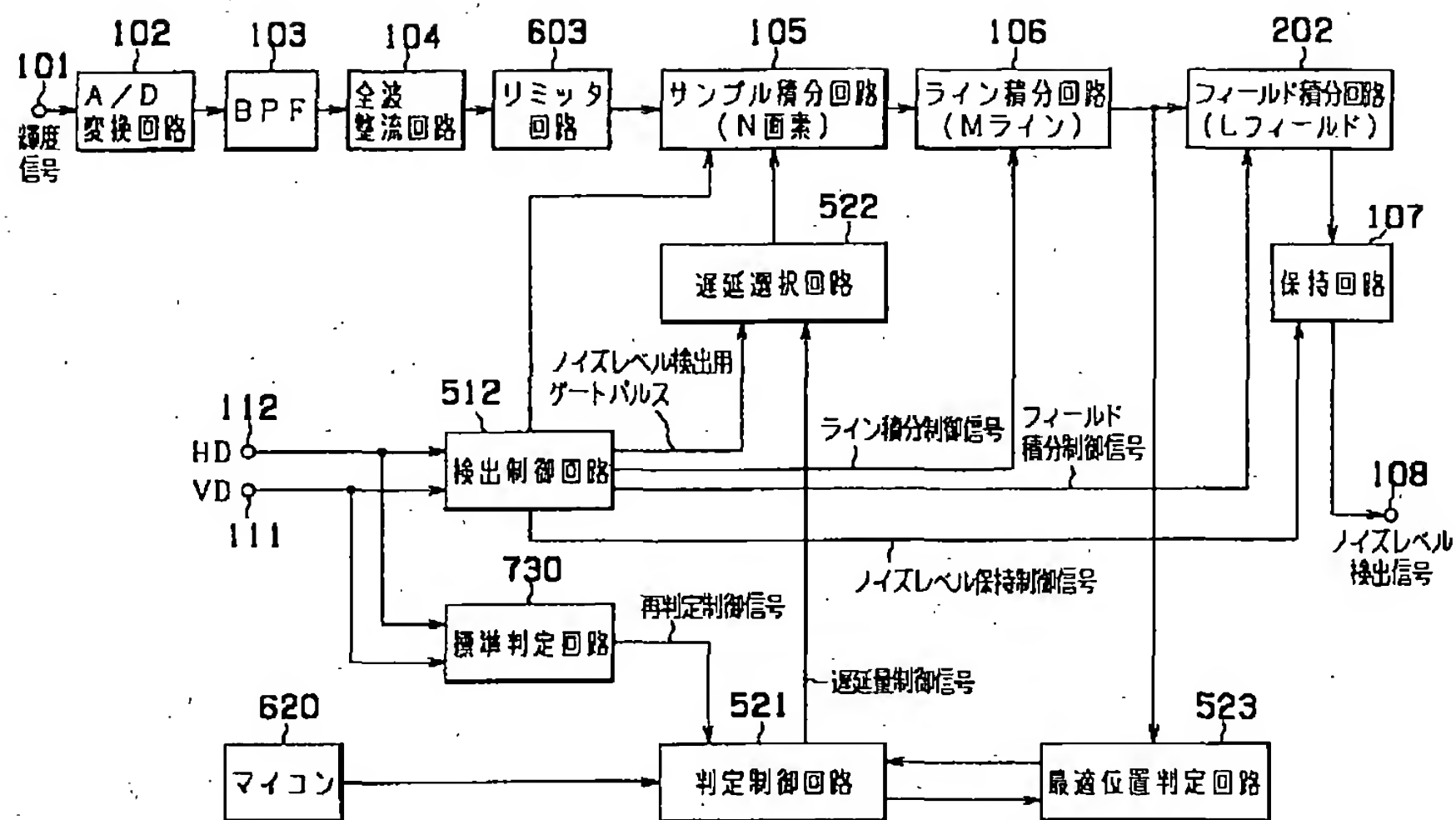
(c) オフセット期間

(d) オフセット値hex

(e) 判定入力値hex

(f) 判定結果hex

【図10】



フロントページの続き

(72)発明者 小熊 忠志

東京都港区新橋3丁目3番9号 東芝エ
ー・ブイ・イー株式会社内

Fターム(参考) 5C021 PA35 PA42 PA57 PA58 PA63

PA76 PA85 RB07 SA06 SA17
YA01